

KWPUE - projekt zaliczeniowy
46: Układ całkujący (wzmacniacz operacyjny)

Gliwiński Jarosław Marek
Grupa dziekańska T1
#74839

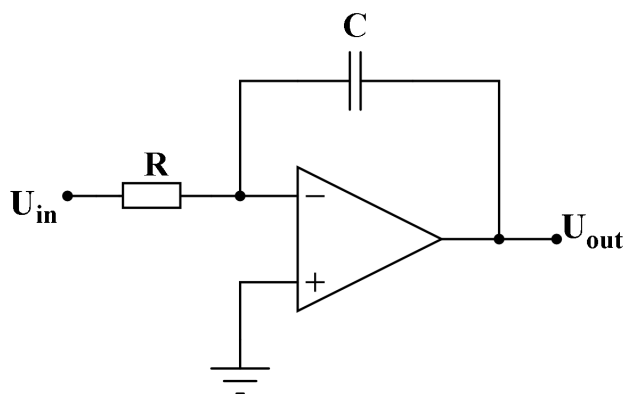
29 czerwca 2008

Spis treści

1	Wstęp teoretyczny	3
2	Symulacja działania układu	4
2.1	SPICE	4
2.2	APLAC	6
3	Wpływ częstotliwości na pracę układu	10
3.1	SPICE	10
3.2	APLAC	12
3.3	Podsumowanie	12
4	Analiza parametryczna	13
4.1	SPICE	13
4.1.1	Rezystor	13
4.1.2	Kondensator	13
4.2	APLAC	14
4.2.1	Rezystor	15
4.2.2	Kondensator	15
4.3	Podsumowanie	15
5	Analiza tolerancji	15
5.1	Rezystor	16
5.2	Kondensator	16
6	Analizy statystyczne	16
6.1	SPICE	17
6.2	APLAC	17
7	Podsumowanie zbiorcze	18
8	Opis elementu - HalfAdder	19

1 Wstęp teoretyczny

Przy użyciu wzmacniaczy operacyjnych można konstruować układy aktywne o dobrych właściwościach. Prosty i powszechnie znanym przykładem takiego układu jest układ integratora. Cechy wzmacniacza takie jak duże wzmocnienie w układzie z zamkniętą pętlą, duża rezystancja wejściowa, mała impedancja wejściowa umożliwiają konstrukcję układów całkujących o parametrach zbliżonych do idealnych. Konstrukcja najprostszego układu całkującego opartego na wzmacniaczu przedstawia się następująco:



Zasadę działania badanego układu można łatwo wyjaśnić następująco: prąd wejściowy o natężeniu $\frac{U_{we}}{R}$ przepływa przez kondensator o pojemności C . Korzystając z faktu, iż wejście odwracające wzmacniacza operacyjnego jest na masie pozornej możemy zapisać odpowiadające równanie:

$$(1) \quad \frac{U_{we}}{R} = -C \frac{dU_{wy}}{dt}$$

bądź też alternatywnie odpowiadające mu:

$$(2) \quad U_{wy} = -\frac{1}{RC} \int U_{we} dt + \hat{C}$$

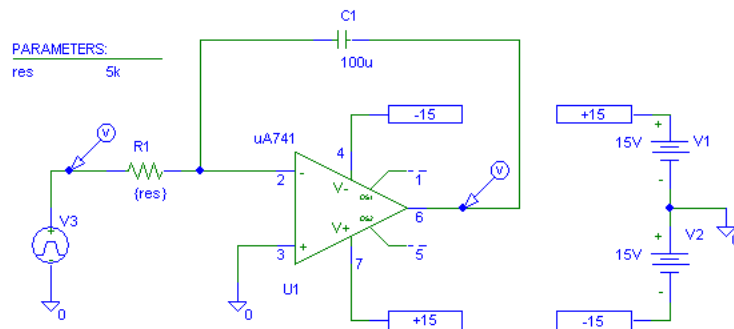
Drugie równanie w pełni wyjaśnia działanie układu jako „całkującego”. Stała całkowania \hat{C} reprezentuje napięcie początkowe.

2 Symulacja działania układu

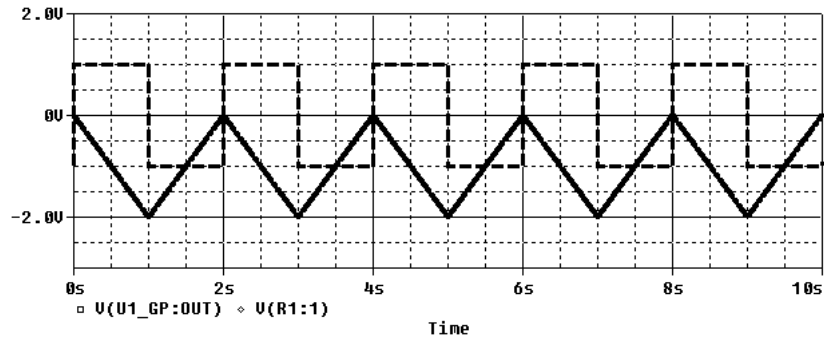
W celu sprawdzenia teoretycznie wyznaczonego działania układu sprawdzono jego działanie przy pomocy symulacji w programach SPICE i APLAC. W obydwu przypadkach pomijano pracę układu w stanie nieustalonym w przypadku stosowania wymuszeń okresowych (w przypadku APLACa jedynie co do kształtu przebiegu wyjściowego, nie poziomu napięć).

2.1 SPICE

Poniżej przedstawiono schemat badanego układu skonstruowany w programie Schematics:

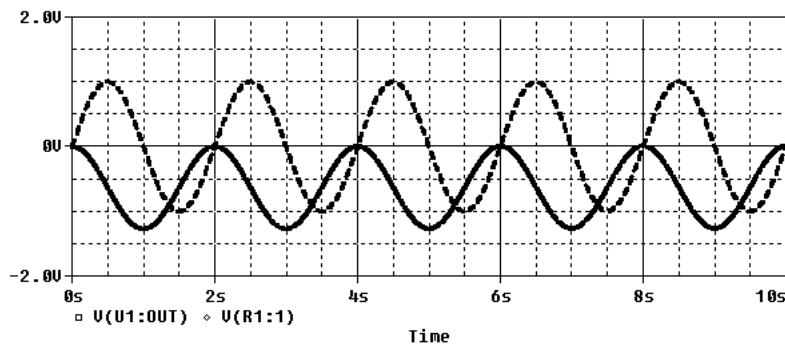


Na wejście układu podano sygnał prostokątny wykorzystując źródło napięcia VPULSE o następujących parametrach: $V1=-1V$, $V2=1V$, $TD=0$, $TR=1ns$, $TF=1ns$, $PW=1s$, $PER=2s$. Po przeprowadzeniu symulacji dla domyślnej wartości $R = 5k\Omega$ otrzymano następujące wyniki:

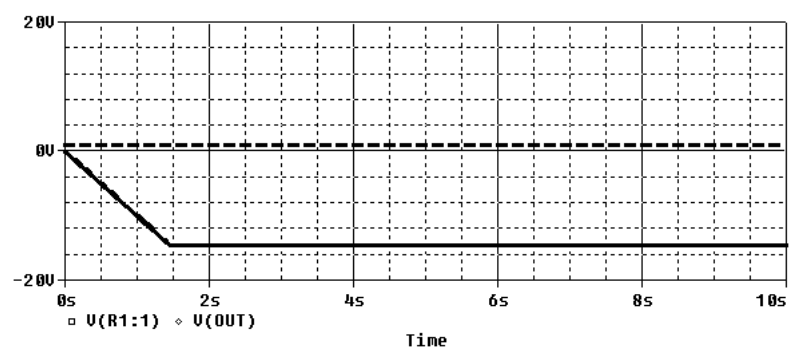


Wykres napięcia wejściowego jest wykreślony linią przerywaną, natomiast linią ciągłą oznaczono napięcie wyjściowe. Jak widać układ działa prawidłowo – zgodnie z równaniem (2) i matematyczną interpretacją pojęcia całki – tj. funkcją pierwotną sygnału okresowego prostokątnego jest analogiczny sygnał trójkątny.

Aby sprawdzić jak układ zachowuje się w przypadku podania na wejście sygnału innego niż prostokątny w miejsce źródła VPULSE wstawiono VSIN. Częstotliwość generowanego sygnału sinusoidalnego ustawiono na $0.5Hz$, a amplitudę na $1V$. Poniżej przedstawiono odpowiedź układu na sygnał wejściowy o kształcie sinusoidy.

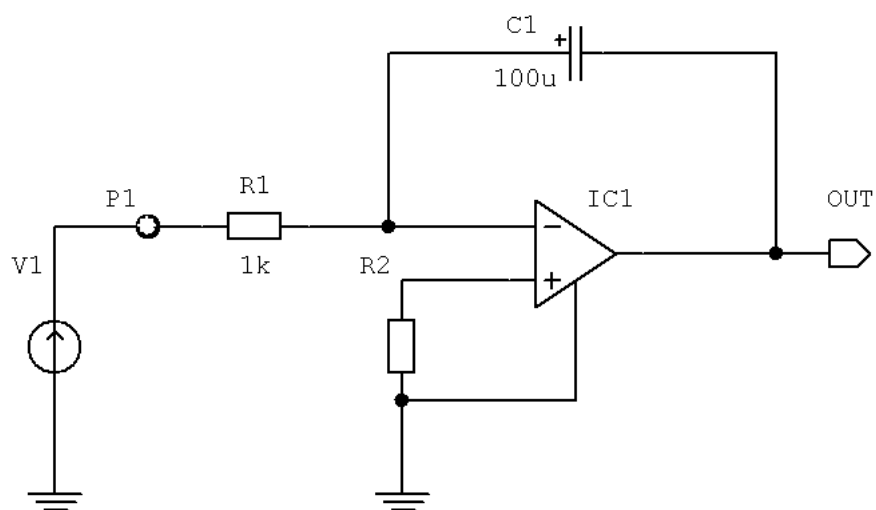


W tym przypadku, podobnie jak poprzednio, sygnał wyjściowy jest równy całce z sygnału wejściowego. Oczywiście układ nie jest idealny tak jak idea integratora – jest ograniczony choćby napięciem zasilania, co demonstruje kolejna symulacja. Mianowicie, jeśli podamy na wejście niezerowe napięcie stałe, układ będzie działał zgodnie z idealną charakterystyką jedynie w zakresie ograniczonym przez napięcia zasilania. Jest to zilustrowane na kolejnym wykresie.



2.2 APLAC

Jako że celem symulacji była także analiza porównawcza, sprawdzenie działania układu w programie APLAC przeprowadzono według dokładnie takiego samego planu jak poprzednio. Skonstruowano układ i napisano odpowiednie oprogramowanie symulacji:



Sweep

"Układ całkujący"

LOOP 500 TIME LIN 0 10

WINDOW 0

X "czas" "s" 0 10

Y "U" "V" -2 2

WINDOW 1

X "czas" "s" 0 10

Y "U" "V" -18 2

AUTOSCALE

Display W 0 Y "Uwe" Vtran(P1)

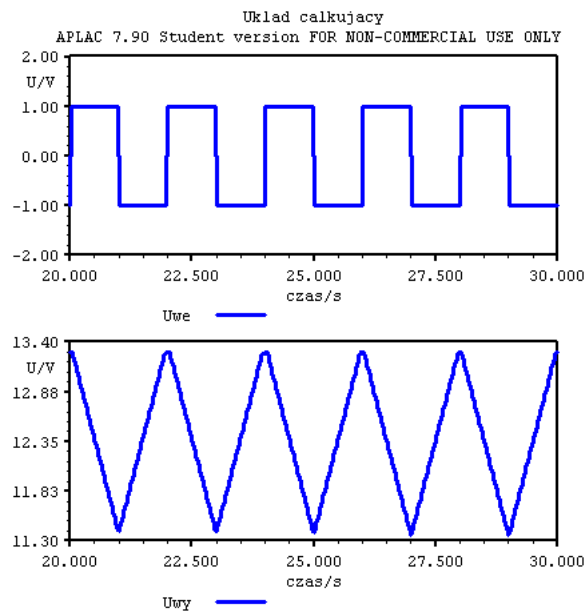
Display W 1 Y "Uwy" Vtran(OUT)

EndSweep

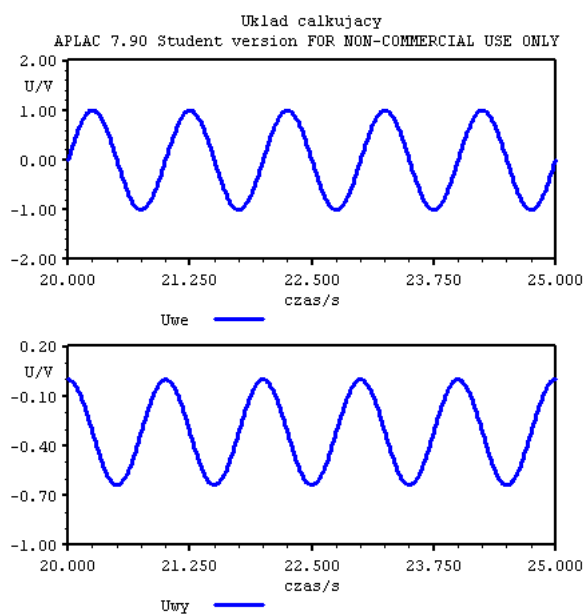
Jedynym modyfikowanym w między trzema kolejnymi symulacjami elementami były granice zakresu badanego czasu symulacji (w powyższym kodzie 1 10).

Wykreślono analogiczne do wcześniejszych symulacji wykresy dla różnych przebiegów, w celu potwierdzenia działania skonstruowanego układu.

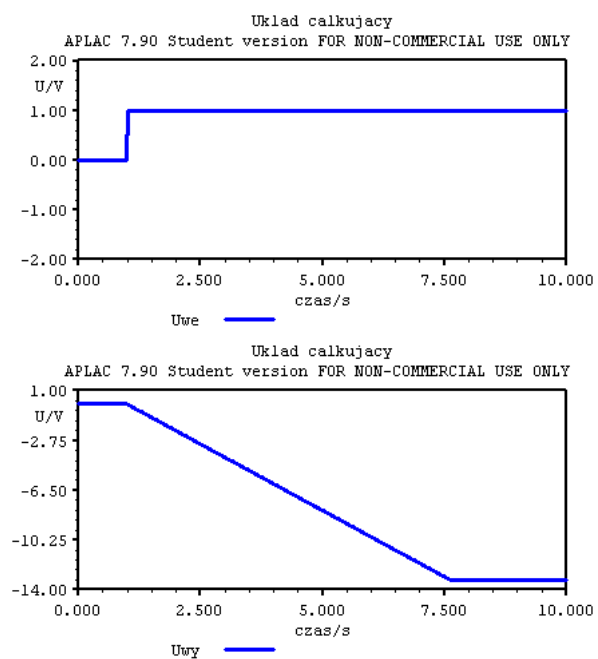
1. Całkowanie przebiegu prostokątnego



2. Całkowanie przebiegu sinusoidalnego



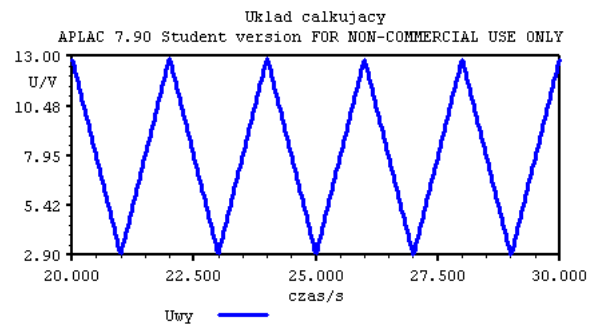
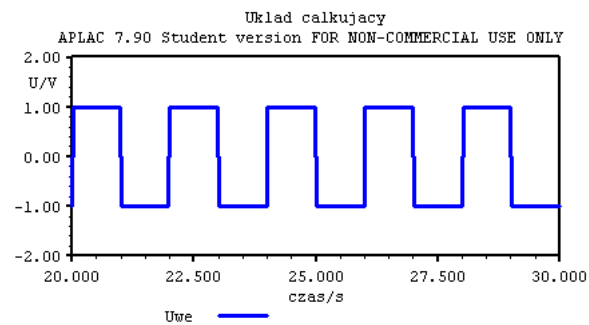
3. Całkowanie przebiegu stałego

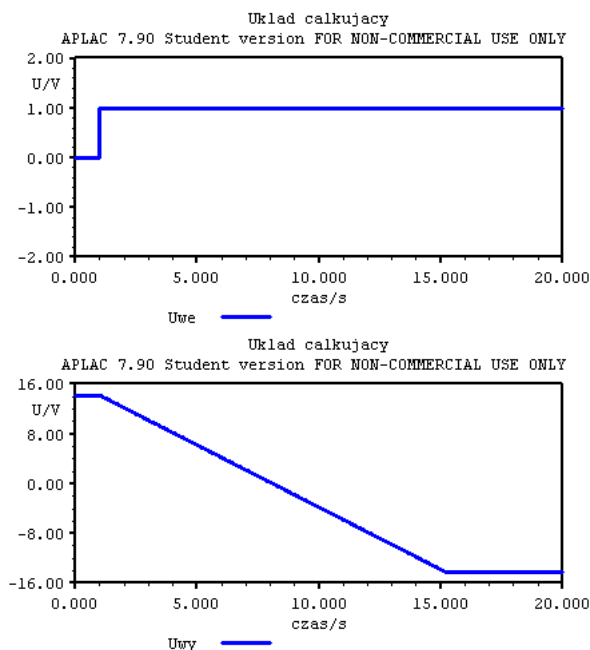


Przeprowadzone symulacje w programie APLAC dały takie same wyniki jak w SPICE.

We wszystkich poprzednich symulacjach korzystano z wzmacniacza operacyjnego idealnego. W poniższej symulacji przeprowadzonej w programie APLAC, wzmacniacz idealny zastąpiono modelem wzmacniacza operacyjnego z parametrami katalogowymi rzeczywistego układu OP-90.

VOFF = 50u
 IOFF = 0.4n
 IBIAS = 4n
 AV = 1200k
 CMRR = 110
 RIN = 30MEG
 ROUT = 70
 VMAX = 15
 VMIN = -15
 SRP = 1200k
 SRN = 1200k
 P = [7,1.2MEG]





Jak widać występują pewne różnice w działaniu układów, jednak są one związane głównie z różnicami w poziomach napięć, a nie ze zmianą kształtu przebiegów wyjściowych. Stan nasycenia w układzie ze wzmacniaczem rzeczywistym jest osiągany później, różnią się też napięcia osiągane przez wyjście w danych chwilach (dla obu przebiegów).

W dalszych symulacjach używano wzmacniacza idealnego.

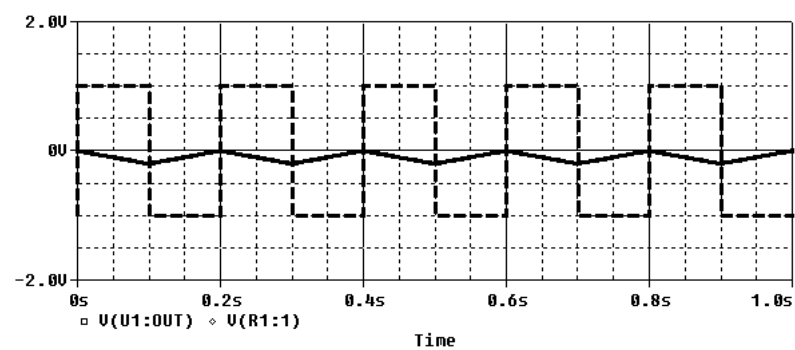
3 Wpływ częstotliwości na pracę układu

W celu sprawdzenia prawidłowego funkcjonowania układu w warunkach pracy przy różnych częstotliwościach podawano na wejście układu przebiegi prostokątne o częstotliwościach 0.5, 5, 50, 500 [Hz]

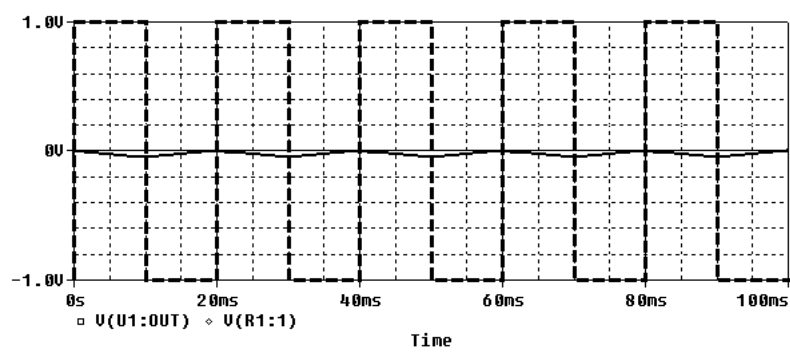
3.1 SPICE

- 0.5Hz - wykres pominięto, dla tej częstotliwości badano działanie układu w punkcie 2.1, czyli Sprawdzenie działania układu – SPICE.

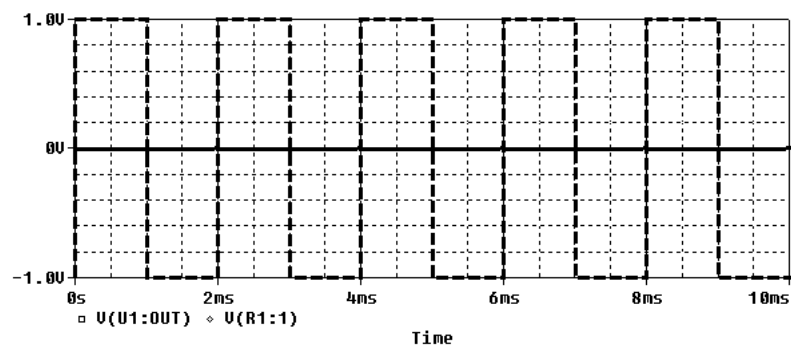
- 5Hz



- 50Hz

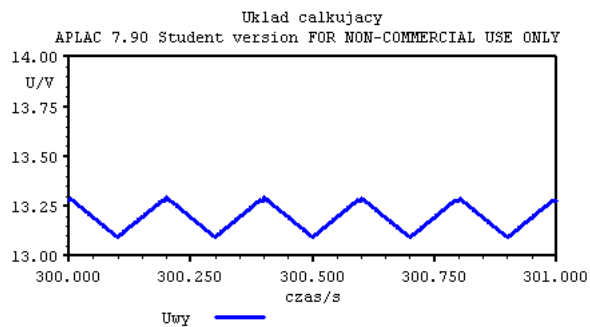


- 500Hz

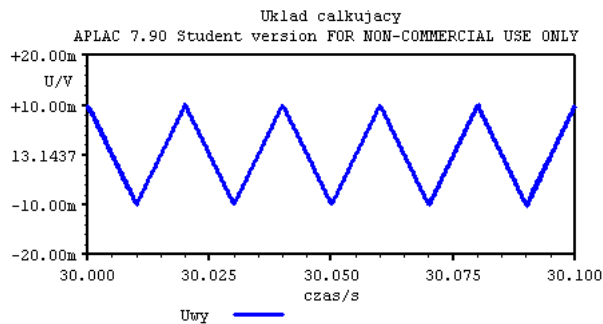


3.2 APLAC

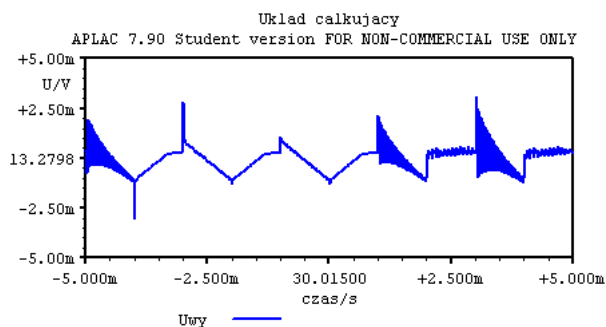
- 0.5Hz - analogicznie do poprzedniego punktu pominięto
- 5Hz



- 50Hz



- 500Hz



3.3 Podsumowanie

Częstotliwość sygnału wejściowego ma decydujący wpływ na jakość pracy integratora. Ma to związek z występującym jawnie w teoretycznie wyznaczonym wzorze (2) czynnikiem skalującym $\frac{1}{RC}$. Stała ta w badanym układzie jest dość duża, toteż układ reaguje

zbyt wolno by pracować w pełni prawidłowo dla wyższych częstotliwości – a w skali częstotliwości badanego integratora nawet niewielka w skali ogólnoelektronicznej częstotliwość rzędu $500Hz$ jest względnie wysoka. W związku z tym w kolejnych symulacjach używane są niskie (względnie, jak i zresztą bezwzględnie) częstotliwości.

To, co w przypadku jednej interpretacji jest wadą, w przypadku innej jest zaletą. Badany układ można rozpatrywać jako kiepski filtr dolnoprzepustowy pierwszego rzędu. W przypadku takiego założenia, malejące amplitudy wyjściowe dla wyższych częstotliwości są oczywiste i jak najbardziej pożądane. Częstotliwość graniczna jest łatwa do obliczenia i w tym przypadku wynosi:

$$f_c = \frac{1}{2\pi RC} = \frac{1}{2\pi 5k\Omega 100nF} \approx 0.32Hz$$

4 Analiza parametryczna

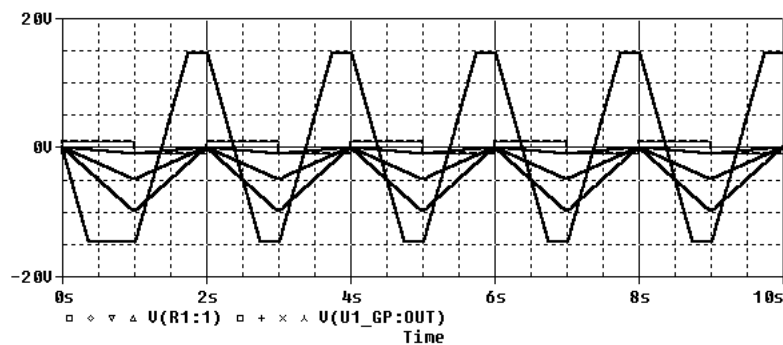
Zbadano wpływ zmian wartości biernych elementów elektronicznych na pracę układu.

W tym celu sprawdzono jak wartości rezystancji oraz pojemności wpływają na sygnał wyjściowy przeprowadzając analizę parametryczną (przy prostokątnym sygnale wejściowym o częstotliwości $0.5Hz$).

4.1 SPICE

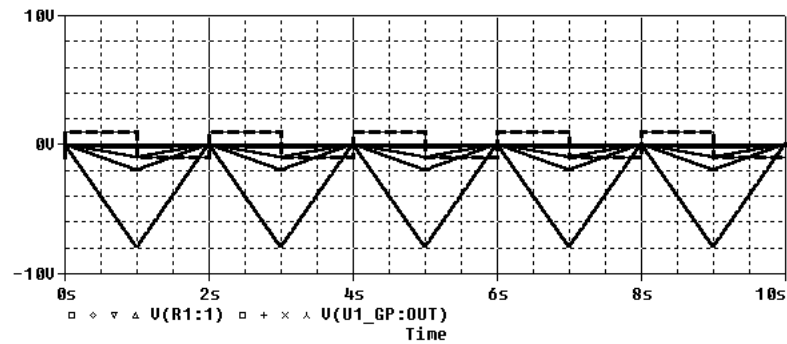
4.1.1 Rezystor

Najpierw zasymulowano działanie układu dla trzech różnych wartości rezystora tj. 250Ω , $1k\Omega$, $2k\Omega$, $10k\Omega$. Otrzymano następujące przebiegi:



4.1.2 Kondensator

Analiza zmian pojemności została przeprowadzona dla następujących wartości: $25\mu F$, $100\mu F$, $200\mu F$, $1mF$.



4.2 APLAC

Przeprowadzono symulacje według tego samego schematu co poprzednio. Napisane zostały odpowiednie programy symulacyjne. Oto przykład programu dla analizy parametrycznej pojemności:

Sweep

"Układ kalkujacy - analiza parametryczna"

LOOP 4 VAR poj TABLE = Vector_C

LOOP 5000 TIME LIN 0 10

WINDOW 0

X "czas" "s" 0 10

Y "U" "V" -2 2

WINDOW 1

X "czas" "s" 0 10

Y "U" "V" -20 20

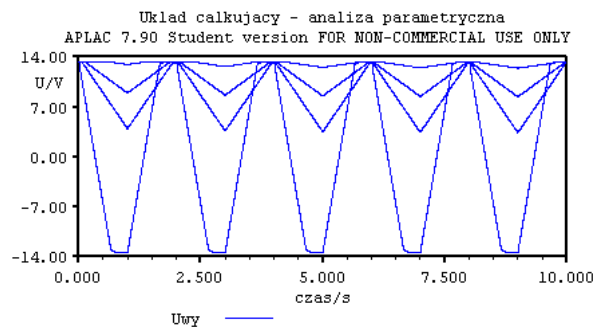
AUTOSCALE

Display W 0 Y "Uwe" Vtran(P1)

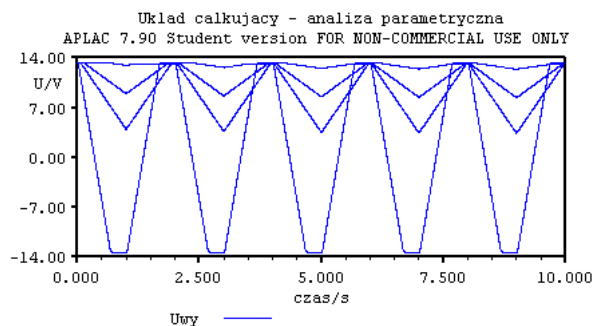
Display W 1 Y "Uwy" Vtran(OUT)

EndSweep

4.2.1 Rezystor



4.2.2 Kondensator



4.3 Podsumowanie

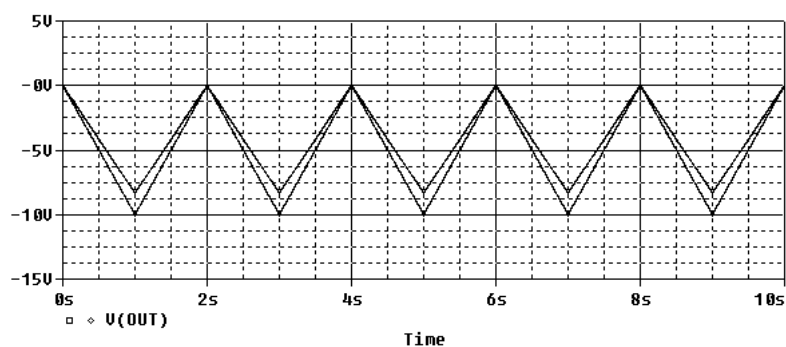
Zmiany wartości układu wpływają na wartość stałej czasowej. Jeśli wartość okazuje się znacząca w stosunku do okresu sygnału wejściowego (bądź ogólniej – zmian sygnału wejściowego). Jak widać, zbyt szybka praca układu powoduje szybki nasycanie się układu i obcinanie przebiegu wyjściowego. Z kolei zbyt wolne reakcje powodują, że układ nie jest w stanie reagować na zmiany odpowiednio szybko, włącznie ze skrajnym przypadkiem, tj. przebiegiem stałym na wyjściu. Gdyby wartość stałej czasowej była bardzo mała w stosunku do długości trwania impulsu sygnał na wyjściu przypominałby sygnał prostokątny. Natomiast jeśli chcemy uzyskać na wyjściu wykres trójkątny stała czasowa musi być większa niż czas trwania impulsu.

5 Analiza tolerancji

W celu sprawdzenia wpływu tolerancji wartości elementów na działanie układu całkującego, wykorzystano analizę *Worst Case*. Najpierw zasymulowano układ, w którym założono rezystor o tolerancji 20% oraz idealny kondensator. Następnie przeprowadzono symulację odwrotną: z idealnym rezystorem i obciążonym zmianą wynikającą z tolerancji kondensatorem. Symulacje przeprowadzono przy maksymalnej założonej tolerancji elementów (tzn. 120%). Otrzymano następujące wyniki:

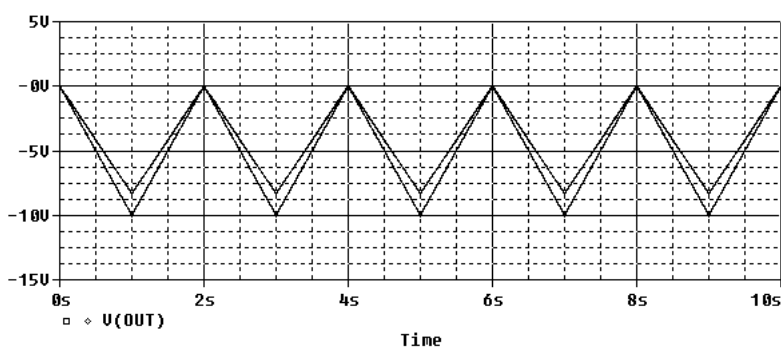
5.1 Rezystor

Na wykresie jest widoczny wpływ zmiany rezystancji, natomiast kształt przebiegu się nie zmienił – nadal jest to przebieg trójkątny.



5.2 Kondensator

Następnie zasymulowano układ, w którym rezystancja była idealna, natomiast kondensator charakteryzował się tolerancją 20%. Wynik okazał się być analogiczny jak w poprzednim przypadku.

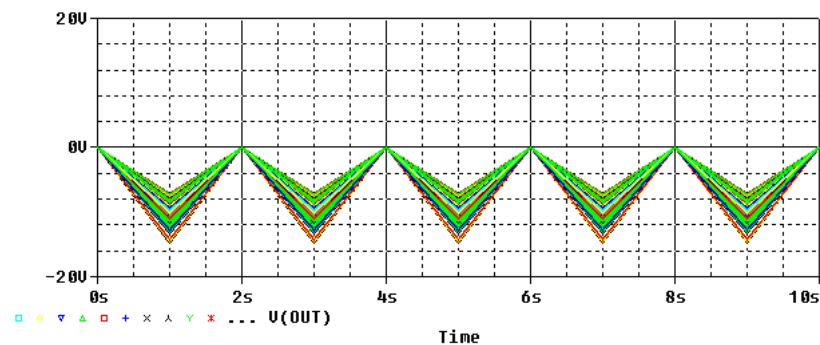


W końcu przyjęto, iż zarówno rezystor jak i kondensator nie są elementami idealnymi, zakładając tolerancję $\pm 20\%$.

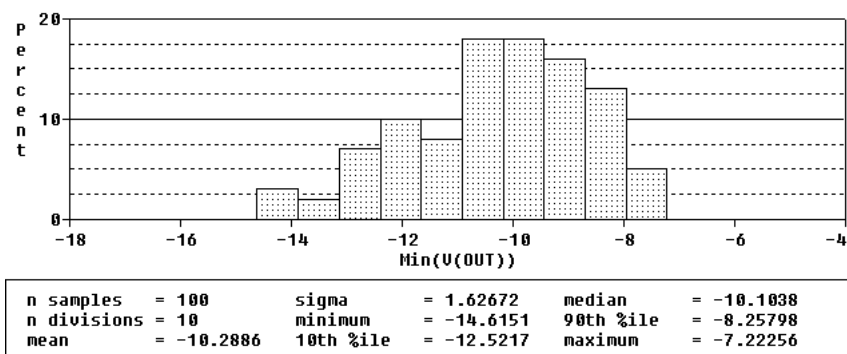
6 Analizy statystyczne

W celu zbadania reakcji układu na losowe zmiany wartości rezystancji i pojemności w zakresie ich tolerancji dokonano analizy *Monte Carlo*. Tolerancję na obu elementach ustalono na $\pm 20\%$. Tym razem zmieniona była wartość bazowa rezystancji – wyniosła $1k\Omega$. Wyniki wspomnianych symulacji przedstawiono poniżej.

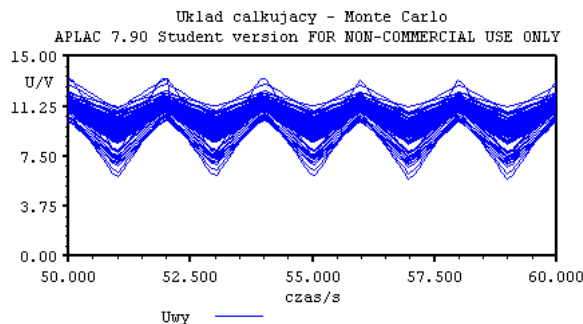
6.1 SPICE



Czytelniejszy od wydruku jest w tym przypadku histogram. Jak można dostrzec, najczęstsze wyniki oscylują wokół wyniku elementu idealnego.



6.2 APLAC



Program symulacyjny:

```
"Układ kalkujacy - Monte Carlo"
LOOP 100 TIME LIN 50 60
W=0
X "czas" "s" 50 60
```

```
Y "U" "V" 0 15  
AUTOSCALE
```

```
show W 0 Y Vtran(OUT) MARKER_ONLY=0 NAME="Uwy"
```

7 Podsumowanie zbiorcze

Przeprowadzono porównawczą analizę układu w dwóch różnych środowiskach symulacji układów elektronicznych. Otrzymano wyniki spójne zarówno z przewidywaniami teoretycznymi, jak i pomiędzy modelami w obydwu programach. Jakkolwiek zbieżność wyników symulacji jest znaczna, różni się podejście do zagadnienia symulacji w obydwu symulacjach. Bez wątplenia SPICE jest programem łatwiejszym w użyciu i przyjaźniejszym dla początkującego użytkownika. Rozbudowany interfejs graficzny ma w założeniu ułatwić intuicyjne przeprowadzanie podstawowych symulacji. Ceną za to płaconą jest pewna utrata elastyczności w projektowaniu eksperymentów symulacyjnych. Kolejną zdecydowaną zaletą środowiska SPICE są znacznie dokładniejsze wykresy. APLAC początkowo wydaje się trudny w obsłudze, jednakowoż w dłuższej praktyce użytkownika (w szczególności w zastosowaniach bardziej skomplikowanych symulacji, niż zaprezentowana) możliwość samodzielnego tekstowego programowania symulacji okazuje się dawać większą kontrolę nad symulacją.

8 Opis elementu - HalfAdder

Element `HalfAdder` z bibliotek standardowych APLACa modeluje układ półsumatora. Układ ten jest układem który sumuje dwie binarne cyfry, pojawiające się na jego wejściach. Zgodnie z zasadami algebry układ generuje na wyjściu bit sumy i bit przeniesienia. Jeśli A i B to wejścia układu, to na wyjściach będzie:

$$S = A \oplus B$$

$$C = A \times B$$

Gdzie S to wyjście sumy, zaś C wyjście przeniesienia. Niedoskonałość układu polega na tym, iż nie potrafi on przekazać prawidłowo przeniesienia w przypadku dodawania liczb dwu- lub więcej bitowych. Użytkowanie elementu w APLACu odbywa się wedle schematu:

```
HalfAdder "nazwa" nIn1 nIn2 nSum nCOut  
+ [ dodatkowe_parametry ]
```

Gdzie odpowiednio parametry odpowiadają:

nazwa oczywiście nazwa

nIn1 pierwsze wejście

nIn2 drugie wejście

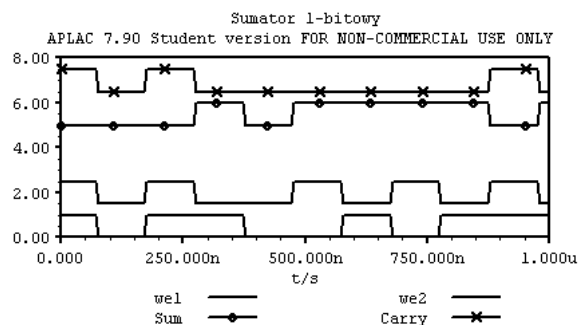
nSum wyjście sumy

nCOut wyjście przeniesienia

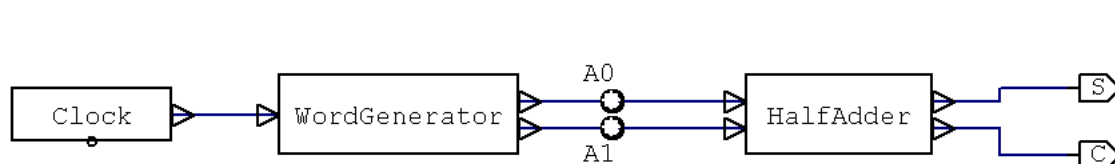
Na liście opcjonalnych parametrów można umieścić:

DELAY wewnętrzne opóźnienie wprowadzane przez element, domyślnie przyjmujące wartość systemowego parametru `DELAY`

Działanie układu w praktyce:



Symulację przykładową przeprowadzono przy użyciu następującego schematu:



WordGenerator został uruchomiony z losowymi parametrami (polecenie RANDOM [1,3,2]). Program symulacyjny był prosty i wyglądał następująco:

```
System Diagram Sys
```

```
DELTAT=5us
```

```
LOGICHIGH=1
```

```
Sweep
```

```
"Sumator 1-bitowy"
```

```
LOOP 200 TIME LIN 0 1us
```

```
SHOW Y Vsys(Sys,A0) NAME="we1"
```

```
SHOW Y Vsys(Sys,A1)+1.5 NAME="we2"
```

```
SHOW Y Vsys(Sys,S)+5 NAME="Sum"
```

```
SHOW Y Vsys(Sys,C)+6.5 NAME="Carry"
```

```
EndSweep
```